

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-155857

(43)Date of publication of application : 28.05.1992

(51)Int.Cl.

H01L 25/00

H01L 23/50

(21)Application number : 02-280927

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP
HITACHI MICOM SYST:KK

(22)Date of filing : 19.10.1990

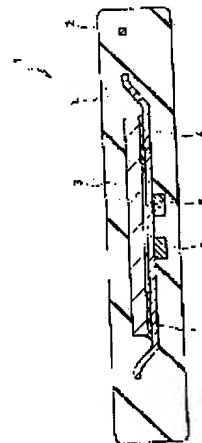
(72)Inventor : WADA TAMAKI
SUZUKI KAZUNARI
TSUBOI KAZUYA
KANEMOTO KOICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To enable a resin sealed LSI package to be effectively lessened in power supply noise by a method wherein the resin sealed LSI package of chip- on-lead structure is provided, and a capacitor is connected to a power supply lead which extends under the semiconductor chip.

CONSTITUTION: A power supply voltage [VCC] lead L and a reference voltage [VSS] lead L are made to brunch partially off along the outer periphery of a semiconductor chip 3, and an insulating film 4 is bonded onto them. The insulating film 4 is bonded to the leads L with bonding agent. A capacitor 5 is connected between the power supply voltage [VCC] lead L and the reference voltage [VSS] lead L which extend in parallel with each other under the semiconductor chip 3 so as to absorb power supply noise. The capacitor 5 is bonded to the underside of the lead L with electrically conductive adhesive agent and effectively lessens power supply noises induced at the switching of a circuit or the like.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A)

平4-155857

⑤Int. Cl.⁵H 01 L 25/00
23/50

識別記号

B
U
X

庁内整理番号

7638-4M
8418-4M
8418-4M

⑬公開 平成4年(1992)5月28日

審査請求 未請求 請求項の数 4 (全7頁)

⑭発明の名称 半導体集積回路装置

⑰特 願 平2-280927

⑱出 願 平2(1990)10月19日

⑲発 明 者 和 田 環 東京都小平市上水本町5丁目20番1号 日立超エル・エ

ス・アイ・エンジニアリング株式会社内

⑳出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

㉑出 願 人 日立超エル・エス・ア

イ・エンジニアリング

株式会社

㉒出 願 人 株式会社日立マイコン

東京都小平市上水本町5丁目22番1号

システム

㉓代 理 人 弁理士 筒井 大和

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. リードに接着された絶縁フィルムの上面に半導体チップを搭載したチップ・オン・リード構造の樹脂封止形LSIパッケージを備え、前記半導体チップの下方に延在する電源用リードにコンデンサを接続したことを特徴とする半導体集積回路装置。

2. リードの下面にコンデンサを接続したことを特徴とする請求項1記載の半導体集積回路装置。

3. コンデンサ接続領域のリードを下方に折り曲げたことを特徴とする請求項1記載の半導体集積回路装置。

4. リードに接着された絶縁フィルムの下面に半導体チップを搭載したリード・オン・チップ構造の樹脂封止形LSIパッケージを備え、前記半導体チップの上方に延在する電源用リードにコンデンサを接続したことを特徴とする半導体

集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路装置に関し、特に樹脂封止形LSIパッケージの高速特性の向上に適用して有効な技術に関するものである。

(従来技術)

高速デバイスを形成した半導体チップを樹脂封止形LSIパッケージに封止する際には、電源ノイズ対策が不可欠となる。従来、電源ノイズを低減するには、基板に実装したLSIパッケージの近傍にノイズ吸収用のコンデンサを配置する方法が一般に用いられてきた。また近年、LSIパッケージのリードフレームを信号用、電源用、接地用に分割して電源ノイズの低減を図る多層リードフレーム構造が提案されている。なお、上記多層リードフレームについては、日経BP社発行、「日経マイクロデバイス・1989年6月1日号」P103～P109に記載がある。

(発明が解決しようとする課題)

基板に実装したLSIパッケージの近傍にコンデンサを配置する従来の電源ノイズ対策は、パッケージの電源用端子とコンデンサとの距離が長いために、電源ノイズ低減効果が十分に得られないという欠点があった。

また、多層リードフレームは、リードフレームを多層化してそれらの間にポリイミドフィルムを挟む複雑な構造であるため、パッケージコストが高価になるという欠点があった。

本発明は、上記した問題点に着目してなされたものであり、その目的は、樹脂封止形LSIパッケージの電源ノイズを有効に低減する技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

のパッケージ本体2は、例えばシリコンフィラーを添加したエポキシ系樹脂からなり、その内部にはシリコン単結晶からなる長方形の半導体チップ3が封止されている。上記半導体チップ3の主面には、例えば高速で動作するCMOS SRAMが形成されている。

本実施例1のSOJは、例えば28本のリードLを有し、第2図に示すように、パッケージ本体2の下側の左端から右端に沿って1番端子～14番端子が配置されており、パッケージ本体2の上側の右端から左端に沿って15番端子～28番端子が配置されている。上記28本のリードLのうち、パッケージ本体2の下側の右端(14番端子)は電源電圧(V_{cc})用リードである。電源電圧(V_{cc})は、例えば回路の動作電圧5(V)である。また、パッケージ本体2の上側の左端(28番端子)は基準電圧(V_{ss})用リードである。基準電圧(V_{ss})は、例えば回路の基準電圧0(V)(GND)である。その他のリードL(1番端子～13番端子、15番端子～27番端子)は信

本願の一発明は、半導体チップの下方に延在する電源用リードにコンデンサを接続したチップ・オン・リード構造の樹脂封止形LSIパッケージである。

本願の他の発明は、半導体チップの上方に延在する電源用リードにコンデンサを接続したリード・オン・チップ構造の樹脂封止形LSIパッケージである。

〔作用〕

上記した手段によれば、半導体チップの近傍の電源用リードにコンデンサを接続することにより、電源ノイズを有効に低減することが可能となる。

以下、本発明を実施例により説明する。

〔実施例1〕

第1図は、本発明の一実施例である樹脂封止形LSIパッケージの短辺方向に沿った断面図、第2図は、リードの配列を示す平面図である。

本実施例1の樹脂封止形LSIパッケージ1は、表面実装形LSIパッケージの一種のSOJ(small outline J-lead package)である。上記SOJ

号用リードである。上記リードLのそれぞれは、リードフレームから切断され、かつ成形されている。リードフレームは、例えば42アロイなどのFe系合金またはCuで構成されており、その板厚は150～250μm程度である。

電源電圧(V_{cc})用リードL(14番端子)は、パッケージ本体2の中央部をその長辺方向に沿って延在し、パッケージ本体2の左側短辺で終端している。また、基準電圧(V_{ss})用リードL(28番端子)は、パッケージ本体2の中央部を上記電源電圧(V_{cc})用リードLと並行に延在し、パッケージ本体2の右側短辺で終端している。上記電源電圧(V_{cc})用リードLおよび基準電圧(V_{ss})用リードLのそれぞれの一部は、半導体チップ3の外周に沿って分岐し、それらの上には、例えばポリイミド系樹脂の薄膜からなる絶縁フィルム4が接着されている。上記絶縁フィルム4は、エポキシ系またはポリイミド系の接着剤によってリードL上に接着されており、半導体チップ3は、同じくエポキシ系またはポリイミド系の接着剤に

よって上記絶縁フィルム4上に接着されている。
すなわち、上記SOJは、リードL上に絶縁フィルム4を介して半導体チップ3を搭載したチップ・オン・リード(chip on lead:COL)構造を採用している。

上記半導体チップ3の下方において並行して延在する電源電圧(V_{cc})用リードLと基準電圧(V_{ss})用リードLとの間には、電源ノイズを吸収するためのコンデンサ5が接続されている。上記コンデンサ5は、例えばセラミックコンデンサからなり、Agペーストなどの導電性接着剤によってリードLの下面に接着されている。

このように、本実施例1の樹脂封止形LSIパッケージ1は、半導体チップ3の下方の電源電圧(V_{cc})用リードLと基準電圧(V_{ss})用リードLとの間にコンデンサ5を接続したことにより、回路のスイッチング時などに発生する電源ノイズを有効に低減することができる。

また、本実施例1の樹脂封止形LSIパッケージ1によれば、単層リードフレーム構造で電源ノ

イズを低減することができるので、リードフレームを多層化することによって電源ノイズの低減を図る従来技術に比べてパッケージコストを低減することができる。

(実施例2)

前記実施例1の樹脂封止形LSIパッケージ1は、半導体チップ3の下方に延在するリードLの下面にコンデンサ5を接続したが、第3図および第4図に示すように、半導体チップ3の下方に延在する電源電圧(V_{cc})用リードLおよび基準電圧(V_{ss})用リードLのそれぞれのコンデンサ接続領域を下方に折り曲げ、その上面にコンデンサ5を接着してもよい。

(実施例3)

前記実施例1および2の樹脂封止形LSIパッケージ1は、チップ・オン・リード構造を採用したものであったが、第5図に示すように、半導体チップ3の主面上に絶縁フィルム4を介してリードL(電源電圧(V_{cc})用リードおよび基準電圧(V_{ss})用リード)を延在したリード・オン・チ

ップ(lead on chip:LOC)構造の樹脂封止形LSIパッケージ1の場合には、上記リードLの上面にコンデンサ5を接着することができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1～3に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

前記実施例では、表面実装形LSIパッケージの一つであるSOJに適用した場合について説明したが、リード・オン・チップ構造またはチップ・オン・リード構造を採用するDIP、SOPその他の樹脂封止形LSIパッケージに広く適用することができる。

(発明の効果)

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1)、チップ・オン・リード構造を有する樹脂封止形LSIパッケージにおいて、半導体チップの下

方に延在する電源用リードにコンデンサを接続することにより、電源ノイズを有効に低減することができるので、高速特性に優れた樹脂封止形LSIパッケージを安価に提供することができる。

(2)、リード・オン・チップ構造の樹脂封止形LSIパッケージにおいて、半導体チップの上方に延在する電源用リードにコンデンサを接続することにより、上記(1)と同様の効果を得ることができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例である半導体集積回路装置の要部断面図、

第2図は、この半導体集積回路装置のリードの配列を示す平面図、

第3図は、本発明の他の実施例である半導体集積回路装置の要部断面図、

第4図は、この半導体集積回路装置のリードの配列を示す平面図、

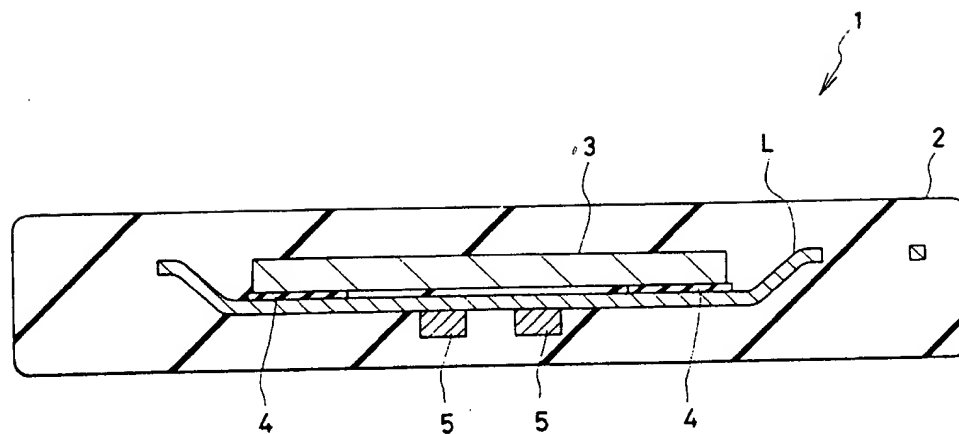
第5図は、本発明のさらに他の実施例である半導体集積回路装置の要部断面図である。

1・・・樹脂封止形LSIパッケージ、2・・・

・パッケージ本体、3・・・半導体チップ、4・
 ・絶縁フィルム、5・・・コンデンサ、L・・・
 ・リード。

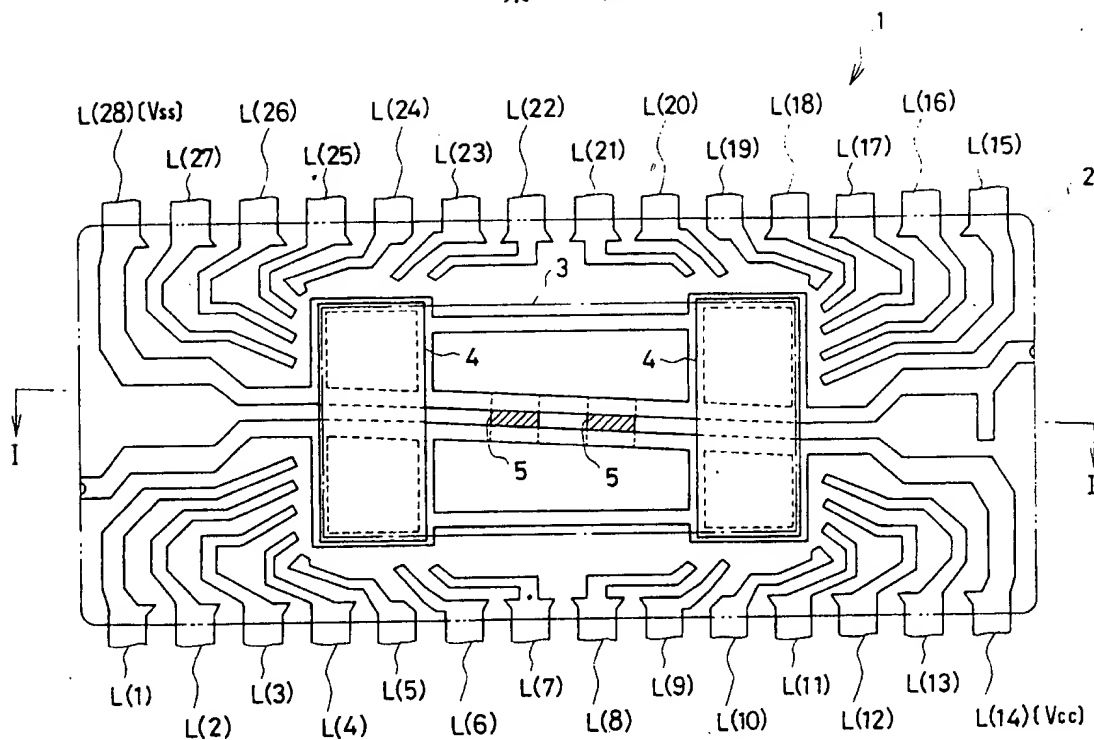
代理人 弁理士 筒井 大 和

第 1 図

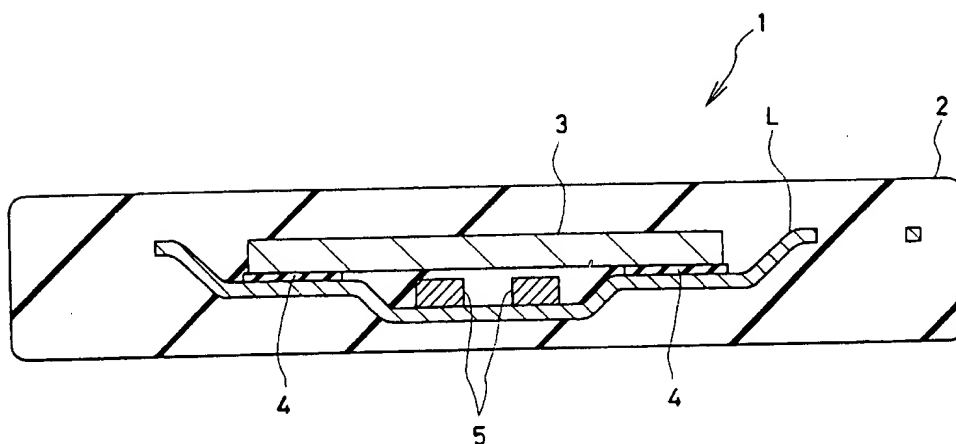


1 : 樹脂封止形LSIパッケージ
 3 : 半導体チップ
 5 : コンデンサ

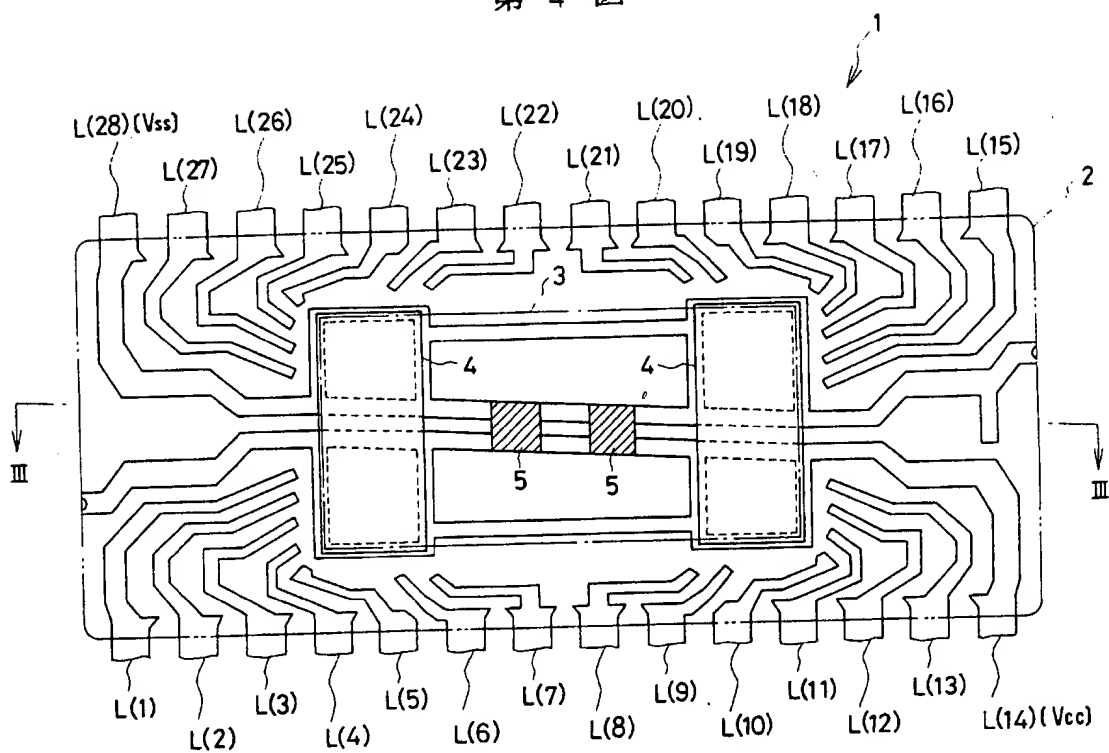
第 2 図



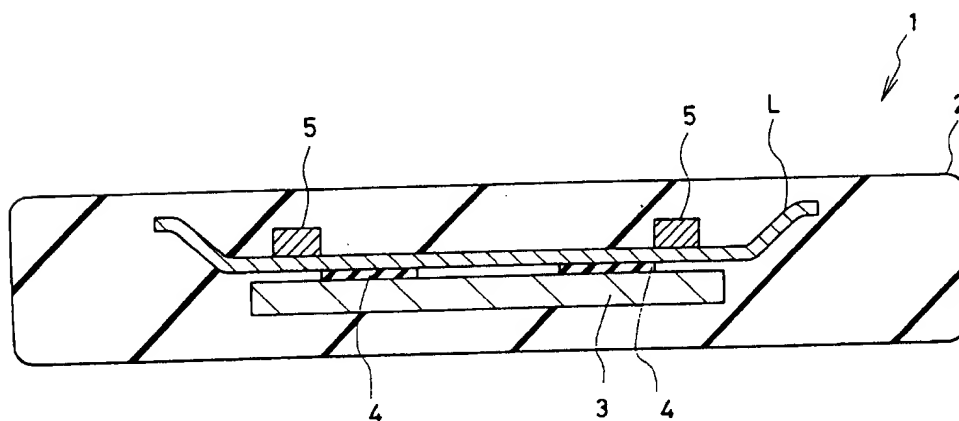
第 3 図



第 4 図



第 5 図



第 1 頁の続き

⑦発 明 者	鈴 木	一 成	東京都小平市上水本町 5 丁目 22 番 1 号 株式会社日立マイ コンシステム内
⑧発 明 者	坪 井	和 哉	東京都小平市上水本町 5 丁目 20 番 1 号 日立超エル・エ ス・アイ・エンジニアリング株式会社内
⑨発 明 者	金 本	光 一	東京都小平市上水本町 5 丁目 20 番 1 号 株式会社日立製作 所武蔵工場内